

(3) Japanese Patent Application Laid-Open No. 11-135506 (1999):  
“METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE”

The following is an English translation of the abstract.

[Abstract]

[Problem to be solved] To provide a method for manufacturing a semiconductor device having a good bonding property during the course of assembly by using a copper wiring which has been formed by a groove interconnection method (Damascene method) having an excellent step coverage and flattening property.

[Solution] A semiconductor device having a copper wiring as wiring metal is constituted such that the copper wiring is formed by a groove interconnection method (Damascene method) followed by mounting thereon an insulating protection film for the semiconductor device, forming an opening for a bonding pad portion therein, mounting an Al film on and over the opening, and executing lithographic and etching processes so as to leave the Al film in the bonding pad portion.

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-135506

(43)公開日 平成11年(1999)5月21日

(51)Int.Cl.<sup>8</sup>  
H01L 21/3205  
21/60  
21/768

識別記号

301

FI

H01L 21/88  
21/60  
21/90

M

N

A

審査請求 有 請求項の数 5 FD (全6頁)

(21)出願番号 特願平9-316089

(22)出願日 平成9年(1997)10月31日

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 大西 秀明

東京都港区芝五丁目7番1号 日本電気株  
式会社内

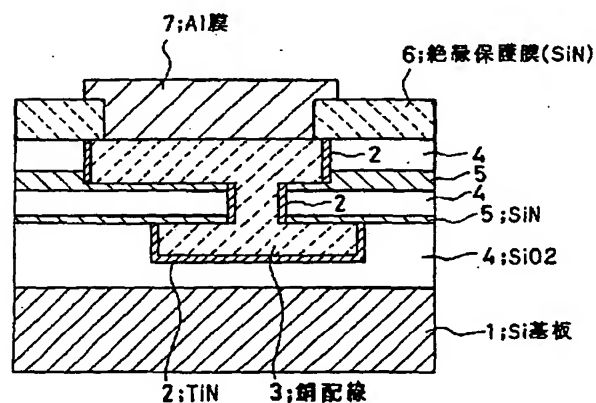
(74)代理人 弁理士 加藤 朝道

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 組み立て工程でのボンディング性の良い半導体装置を、段差被覆性と平坦性に優れた溝配線法（ダマシン法）による銅配線を用いて形成する半導体装置の製造方法の提供。

【解決手段】 配線金属として銅配線を用いた半導体装置において、銅配線を溝配線法（ダマシン法）によって形成し、半導体装置の絶縁保護膜を被着しボンディングパッド部を開口した後、Al系膜を被着しリソグラフィー工程とエッチング工程によりボンディングパッド部にAl系膜を残す。



## 【特許請求の範囲】

【請求項 1】配線金属として銅配線を用いた半導体装置の製造方法において、

(a) 銅配線を溝配線法(ダマシン法)によって形成し、

(b) 絶縁保護膜を被着し、ボンディングパッド部を開口し、

(c) Al 系膜を被着し、リソグラフィー工程とエッチング工程により前記ボンディングパッド部に Al 系膜を残す、

ことを特徴とする半導体装置の製造方法。

【請求項 2】請求項 1 記載の半導体装置の製造方法において、

前記 Al 系膜を被着した後、CMP (化学機械研磨) 法により前記ボンディングパッド部に Al 系膜を残すことを特徴とする半導体装置の製造方法。

【請求項 3】請求項 1 または 2 記載の半導体装置の製造方法において、

前記銅配線と前記 Al 系膜との間にバリア膜を形成する、ことを特徴とする半導体装置の製造方法。

【請求項 4】配線金属として銅配線を用いた半導体装置の製造方法において、

(a) 銅配線を溝配線法(ダマシン法)によって形成する工程と、

(b) 基板上面に絶縁保護膜を被着した後、該絶縁保護膜に、ボンディングパッド部を開口し、前記銅配線表面を露出させる工程と、

(c) 前記ボンディングパッド部の前記銅配線表面の酸化銅を除去した後、Al 系膜を被着し、CMP 法、または、リソグラフィー工程及びエッチング工程により、前記ボンディングパッド部にのみ、Al 系膜を残す工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 5】前記銅配線の銅拡散防止のためのバリア膜を形成する、ことを特徴とする請求項 4 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特に、銅配線を用いた半導体装置の製造方法に関する。

## 【0002】

【従来の技術】LSI の微細化に伴い、配線に起因する LSI の遅延時間が、デバイスによる遅延時間に比べ相対的に大きくなって来る。また配線幅の微細化に伴って顕著になる配線抵抗の増大は電源線の電位降下やクロック信号の遅延のばらつきを招き誤動作の原因となる。また配線に流れる電流密度も増加し、エレクトロマイグレーションによる断線等による信頼性への影響も深刻になってきている。したがって、サブクォーターミクロン世

代以降のデバイスにおいては、従来用いられてきたアルミ系配線に代わる材料が求められている。

【0003】そして、銅は、低抵抗で、且つ高いエレクトロマイグレーション耐性を有するため、サブクォーターミクロン世代以降の配線材料として有望視されている。

【0004】銅配線を実現する方法として代表的なものとして、層間絶縁膜に溝を掘り化学的研磨法(CMP, chemical mechanical polishing)を用いて配線を形成する溝配線法(ダマシン法, damascene process)が用いられている。

【0005】その他の方法としては、従来用いられてきたドライエッチングにより配線を形成する方法があるが、銅はハロゲン化物の蒸気圧が非常に低くドライエッチングが非常に困難であり、且つ、エッチング後の層間膜形成において厳しい段差被覆性が要求される為、銅配線では上記の溝配線法がその実現のための方法として有望視されている。この溝配線法について、例えば文献(1997 Symposium on VLSI Technology Digest of Technical Papers, pp. 59~60)等が参照される。

【0006】絶縁保護膜を被覆し、ボンディングパッド領域を開口した場合を図5に示す。図5において、1はSi基板、2は銅の拡散防止と密着性向上のためのバリア膜となるTiN、3は銅配線、4は層間絶縁膜であるSiO<sub>2</sub>、5は銅の拡散防止のバリア絶縁膜となるSiN、6は絶縁保護膜(SiNを用いるのが望ましい)、8は酸化銅である。

【0007】この溝配線法は、溝形成後にCVD(化学気相成長)、メッキ等で銅を堆積した後に、層間絶縁膜4をストッパーとしてCMPにより研磨し、配線領域以外の銅を除去する方法であるため、銅配線の表面に、バリア金属膜を形成することは困難であり、絶縁保護膜6の形成後に、ボンディングパッド部を開口すると、銅がむき出しになることになる。

## 【0008】

【発明が解決しようとする課題】上記した従来の溝配線法は下記記載の問題点を有している。

【0009】すなわち、銅は、特に、層間絶縁膜開口部のエッチングやフォトリソの剥離工程で容易に酸化されやすく、ボンディングパッド部に、図5に示すように、酸化銅8が形成される。

【0010】このような状態で、LSIの組み立て時のワイヤーボンディングを行うと、この酸化銅8と金等のボンディングワイヤーとの密着性が悪いために、ボンディング不良が多発することになる。

【0011】この問題を解決するための方法としては、例えば特開平2-123740号公報には、図6に示す

10

20

30

40

50

ような構成が記載されている。この構造は、銅の下層に  $TiN_2$  をバリアとして敷き、銅配線 3 の表面に  $Al$  膜 7 を積層した構造としている。なお、図 6 において、9 はスルーホールを埋め込むタングステン等のプラグである。

【0012】この構造では、配線層の表面はボンディング性の良い  $Al$  膜となるために、上記の問題は生じない。しかし、この構造は溝配線法では、形成することが出来ないため、配線のエッチングが非常に困難である上に、配線の段差被覆性や平坦性が悪くなることになる。

【0013】したがって本発明は、上記問題点に鑑みてなされたものであって、その目的は、組み立て工程でのボンディング性の良好な半導体装置を、段差被覆性と平坦性に優れた溝配線法（ダマシン法）による銅配線を用いて形成する、半導体装置の製造方法を提供することである。

【0014】

【課題を解決するための手段】前記目的を達成するため、本願第 1 発明の半導体装置の製造方法は、配線金属として銅配線を用いた半導体装置の製造方法において、銅配線を溝配線法（ダマシン法）によって形成し、絶縁保護膜を被着し、ボンディングパッド部を開口した後、 $Al$  系膜を被着し、リソグラフィ工程とエッチング工程により、前記ボンディングパッド部に  $Al$  系膜を残す、ことを特徴とする。

【0015】本願第 2 発明は、前記  $Al$  系膜を被着した後、CMP（化学機械研磨）法により前記ボンディングパッド部に  $Al$  系膜を残すことを特徴とする。

【0016】また本願第 3 発明においては、上記第 1、第 2 発明において、前記銅配線と前記  $Al$  系膜との間にバリア膜を形成する、ことを特徴とする。

【0017】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明の半導体装置の製造方法は、その好ましい実施の形態において、溝配線法により銅配線を形成し、絶縁保護膜を開口した後にボンディングパッド部のみを  $Al$  系膜で被覆するようにしたものである。

【0018】本発明の実施の形態は、銅配線を溝配線法（ダマシン法）によって形成する工程（図 2（a）～図 2（c）参照）と、絶縁保護膜を被着し、該絶縁保護膜にボンディングパッド部を開口して銅配線表面を露出させる工程（図 3（d）参照）と、 $Al$  系膜を被着し、CMP 法、または、リソグラフィ工程とエッチング工程により、前記ボンディングパッド部上のみ  $Al$  系膜を残す工程（図 3（e）参照）と、を含む。なお、ボンディングパッド部の銅配線表面の酸化銅等を除去した後、 $Al$  系膜が被着される。

【0019】本発明の半導体装置の製造方法は、その好ましい実施の形態において、銅配線を形成した半導体装置のボンディングパッド部を、ボンディング性の良い  $Al$

1 膜で覆う為に、組立工程時のボンディングワイヤーとボンディングパッドとの密着性の問題によるボンディング不良は発生しない。

【0020】また、本発明の半導体装置の製造方法は、その好ましい実施の形態において、溝配線法により銅配線を形成しているために、良好な段差被覆性と平坦性を持つ配線が形成することが出来る。

【0021】

【実施例】次に、上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。

【0022】以下では、本発明を二層配線に適用した実施例について説明する。図 1 は、本発明の第一の実施例の構成を示す断面図である。

【0023】図 1 を参照すると、 $Si$  基板 1 の上に、図 5 を参照して説明した従来の製造方法と同様に、溝配線法により、銅配線 3 が形成されており、ボンディングパッド形成の為に絶縁保護膜 6 が開口されている。

【0024】開口されたボンディングパッド部の配線の上に、 $Al$  膜 7 がボンディングパッド部を覆う形で形成される。 $Al$  膜は、従来より広く半導体装置の配線金属として用いられており、 $Au$ 、 $Al$  等のボンディングワイヤーとの密着性も良く組み立て工程でのボンディング不良の問題が生じにくい。

【0025】なお、実際の半導体装置では  $Si$  基板 1 上に MOS トランジスタ、バイポーラトランジスタ等のデバイスが作り込まれているが、図面上は簡略化の為に省略している。

【0026】図 2 及び図 3 は、図 1 に示した第一の実施例の半導体装置の製造方法の一例を、製造工程順に示した工程断面図である。なお、図 2 及び図 3 は、単に、図面作成の都合で分図されたものである。

【0027】 $Si$  基板 1 上に MOS トランジスタ等のデバイスを形成（図では省略）した後、層間膜として、CVD 法により  $SiO_2$  4 を例えば膜厚  $1\mu m$  形成し、リソグラフィ工程とドライエッチング工程を用いて、第一層配線形成の為に、例えば深さ  $550nm$  の溝を形成する。なお、ここではその説明を省略するが、この後、デバイスの電極を取るために、コンタクトホールが形成されることになる。

【0028】溝形成後に、銅の拡散防止と密着性向上の為に膜厚  $50nm$  の  $TiN$  と  $500nm$  の銅が例えば CVD 法によりそれぞれ被着され、CMP 法（化学的研磨法）により、配線領域以外の  $TiN$  と銅を除去し、これによりバリア膜となる  $TiN_2$  と、銅配線 3 が形成される（図 2（a）参照）。

【0029】次に、第一層配線の銅拡散防止の為に膜厚  $100nm$  の  $SiN_5$ 、層間膜となる膜厚  $500nm$  の  $SiO_2$  4、第二層配線の銅拡散防止の為に膜厚  $300nm$  の  $SiN_5$  が CVD 法により形成され、リソグラフィ

イー工程とドライエッチング工程により、まず、第二層配線形成のための深さ700nmの溝を、次に第一層配線と第二層配線をつなぐビア形成のための600nmの溝を形成する(図2(b)参照)。

【0030】そして、ビアと第二層配線の銅の拡散防止のためのTiNを、例えば50nmCVD法で被着し、異方性エッチングによりエッチバックを行い、側壁のみに、TiNを残す。エッチバック後に露出した第一層配線の表面には、酸化銅が形成されるため、O<sub>2</sub>プラズマと、希HF、H(hf ac)ガスにより、酸化銅の除去とエッチングのデボ物の除去が行われる。

【0031】次に、CVD法により例えば1.3μmの銅を被着した後、CMP法により配線領域以外の銅が除去され、第二層の銅配線3が、第二層配線領域とビアの両方に同時に形成される(図2(c)参照)。

【0032】そして例えば膜厚500nmの絶縁保護膜(ここではSiN)6がCVD法により形成され、リソグラフィー工程とドライエッチング工程によりボンディングパッド部が開口される(図3(d)参照)。

【0033】ボンディングパッド部開口のエッチング後に露出した第二層配線の表面に形成された酸化銅を、O<sub>2</sub>プラズマと希HF、H(hf ac)ガスにより除去した後、Al膜7を、例えば膜厚1μmスパッタ法で被着し、リソグラフィー工程とエッチング工程により、ボンディングパッド部を覆う形で、Al膜7をパターンニングする(図3(e)参照)。

【0034】図4は、本発明の第二の実施例の構成を示す断面図である。図4を参照すると、第一の実施例と相違する点は、Al膜7も溝配線法により形成されている点である。

【0035】この第二の実施例の半導体装置製造方法は、図2(a)～図3(d)までは、第一の実施例と同じであり、この後、Al膜をスパッタ法で膜厚1μm被着し、CMP法により、ボンディングパッド部のみにAl膜7を残す。この方法では、第一の実施例に比べ、リソグラフィー工程を用いないので、工程が簡略化される。

【0036】上記実施例では、Al膜を用いた場合につ

いて説明したが、Al膜の代わりにAl-SiもしくはAl-Si-Cu等の他のAl系の膜を用いても適用可能であることは勿論である。

【0037】

【発明の効果】以上説明したように、本発明によれば、下記記載の効果を奏する。

【0038】本発明の第一の効果は、銅配線を形成した半導体装置のボンディングパッド部をボンディング性の良いAl膜で覆う為に、組立工程時のボンディングワイヤーとボンディングパッドとの密着性の問題によるボンディング不良が発生しにくくなり、信頼性、歩留まりを向上する、という事である。

【0039】本発明の第二の効果は、溝配線法により銅配線が形成出来るために、良好な段差被覆性と平坦性を持つ配線を形成することが可能である、という事である。

【図面の簡単な説明】

【図1】本発明の第一の実施例の構成を示す断面図である。

【図2】本発明の第一の実施例の製造方法を工程順に説明するための工程断面図である。

【図3】本発明の第一の実施例の製造方法を工程順に説明するための工程断面図である。

【図4】本発明の第二の実施例の構成を示す断面図である。

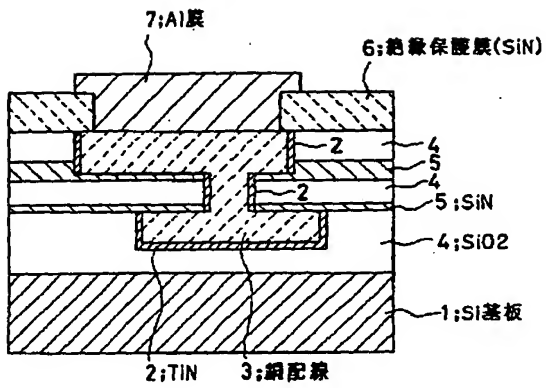
【図5】従来技術を説明するための断面図である。

【図6】別の従来技術を説明するための断面図である。

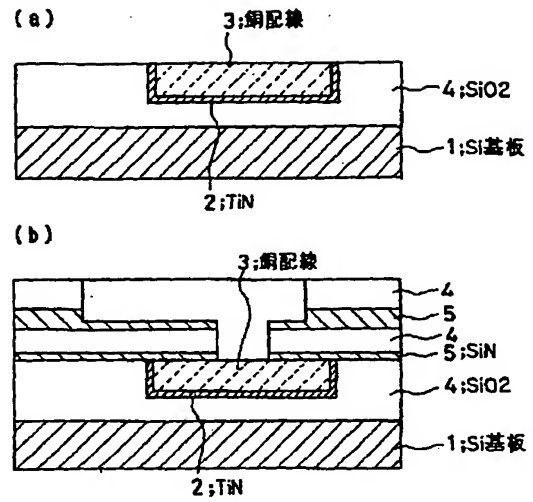
【符号の説明】

- 1 Si基板
- 2 TiN
- 3 銅配線
- 4 SiO<sub>2</sub>
- 5 SiN
- 6 絶縁保護膜(SiN)
- 7 Al膜
- 8 酸化銅
- 9 プラグ

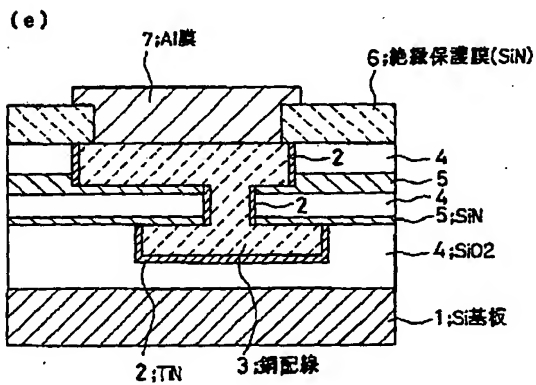
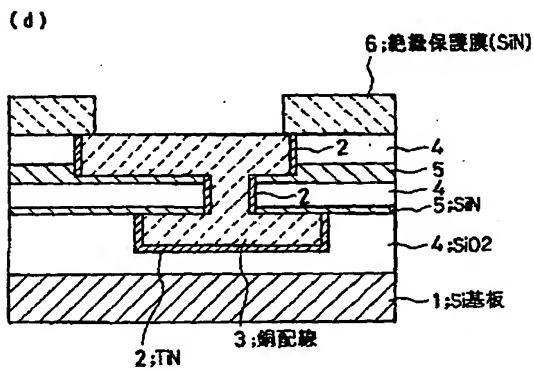
【図 1】



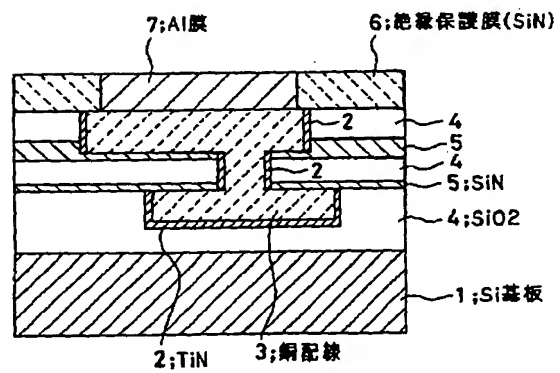
【図 2】



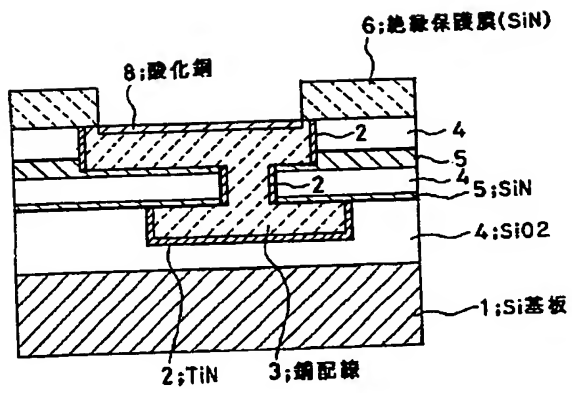
【図 3】



【図 4】



【図5】



【図6】

